

Mesure des temps de propagation d'un inverseur logique

1. Proposer un schéma permettant de réaliser par simulation la mesure des temps de propagation d'un inverseur logique à partir de portes Nand TTL (74ls00) et CMOS (cd4011) issues des bibliothèques `_74ls` et `_cd4000`.
2. Relever dans les documents constructeurs les valeurs des temps t_{pLH} et t_{pHL} et en déduire un ordre de grandeur de la fréquence du générateur de commande des inverseurs.
3. Effectuer la simulation et mesurer les temps de propagation. Comparer les résultats obtenus avec les données constructeurs.
4. Reprendre la simulation avec des fréquences de plus en plus élevées (par exemple : 5MHz, 10MHz, 50MHz et ainsi de suite). Qu'observe-t-on ?
5. Déterminer par simulation un ordre de grandeur de la fréquence maximale de fonctionnement de chaque porte.
6. Déterminer par simulation un ordre de grandeur de la fréquence maximale de fonctionnement de chaque porte en inverseur (on admettra un rapport entre les temps de propagation et la durée des états logiques maximum de 10%).

Documents à rendre : résultats de simulation commentés (valeurs mesurées, justification des fréquences choisies.....).

Rappel : définition des temps de propagation t_{pLH} et t_{pHL}

